

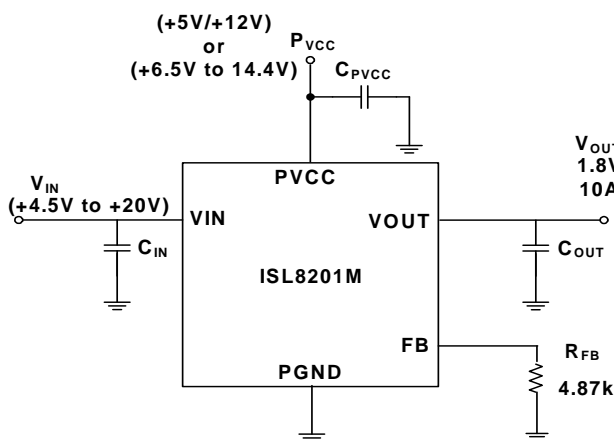
10A、高効率 DC/DC モジュール

ISL8201M

ISL8201M は、20V、10A 出力電流の可変出力降圧電源です。600kHz でスイッチングを行う高性能 PWM コントローラ、パワー MOSFET、インダクタのほか、DC/DC 電源ソリューションの構成に必要なすべての受動部品が 15mm×15mm のパッケージに封入されています。1V ~ 20V の入力電圧範囲で動作し、出力電圧は単一の分圧抵抗により 0.6V ~ 5V の範囲で設定できます。この高効率電源モジュールは最大 95% の効率で 10A (ピーク 17A) の出力電流を供給可能であり、このような電力仕様を満たす上でヒートシンクやエアフローは必要ありません。電源回路の構成に必要な部品は、バルク入力コンデンサとバルク出力コンデンサだけです。電圧モード制御の採用により、出力電圧は最低 0.6V まで正確にレギュレーション可能で、±1% という高精度の出力電圧レギュレーションを実現しています。ISL8201M はほかにも、内蔵補償回路、内蔵ソフトスタート回路、自動復帰過電流保護機能、イネーブル・オプション、プリバイアス出力スタートアップ機能を備えています。

ISL8201M は、放熱性に優れた小型 (15mm×15mm) かつ低背 (3.5mm) のオーバーモールド成形 QFN パッケージ・モジュールで供給され、標準的な表面実装装置での自動組み立てに適しています。ISL8201M は鉛フリー (RoHS 準拠) です。

回路例



特長

- 高集積スイッチモード電源
- +4.5V ~ +14.4V のバイアス電圧範囲
 - 1V ~ 20V の広い入力電圧範囲 (11 ページの「入力電圧に関する考慮事項」を参照)
- DC 出力電流 10A、ピーク出力電流 17A
- +0.6V ~ +5V の範囲で出力電圧を設定可能
- 最高効率 95%
- シンプルな電圧モード制御
- 600kHz 固定のスイッチング周波数
- 高速過渡応答
- イネーブル機能オプション
- プリバイアス出力スタートアップ機能
- ソフトスタート回路内蔵
- ローサイド MOSFET の $r_{DS(ON)}$ センスによる過電流保護 (自動復帰型)
- 小型、低背の表面実装 QFN パッケージ (15mm×15mm×3.5mm)
- 鉛フリー (RoHS 準拠)

アプリケーション

- サーバー
- 産業用機器
- ポイント・オブ・ロード・レギュレータ
- その他の汎用降圧 DC/DC
- テレコム / データコム機器

ISL8201M

注文情報

製品型番 (Note 1、2、3)	マーキング	パッケージ (RoHS 準拠)	パッケージの外形図
ISL8201MIRZ	ISL8201M	15 Ld QFN	L15.15x15
ISL8201MEVAL1Z	評価ボード		

1. テープ&リールは製品型番の末尾に「-T」を付加してください。リールの詳細仕様についてはテクニカル・ブリーフ「Tape and Reel Specification for Integrated Circuit (TB347)」を参照してください。
2. これらのプラスチック・パッケージ製品には、専用の素材およびモールド素材を採用するとともに、端子には亜鉛 100%の梨地メッキとアニーリングを実施しています (e3 端子仕上げ)。これらの製品には鉛が使用されていますが、EU の適用除外項目 5 (ブラウン管、電子部品、蛍光灯のガラス中の鉛) に基づいて RoHs 指令に準拠しています。インターシルのこうした RoHS 準拠製品は、SnPb ハンダ付け作業と鉛フリー・ハンダ付け作業に対応しています。また、鉛フリー・ピークリフロー温度で MSL 分類に対応し、この仕様は IPC/JEDEC J STD-020 の鉛フリー要件と同等か上回るものです。
3. 湿度感受性レベル (MSL) については [ISL8201M](#) のデバイス情報ページを参照してください。MSL の詳細についてはテクニカル・ブリーフ「Guidelines for Handling and Processing Moisture Sensitive Surface Mount Devices (SMDs) (TB363)」を参照してください。

ブロック図

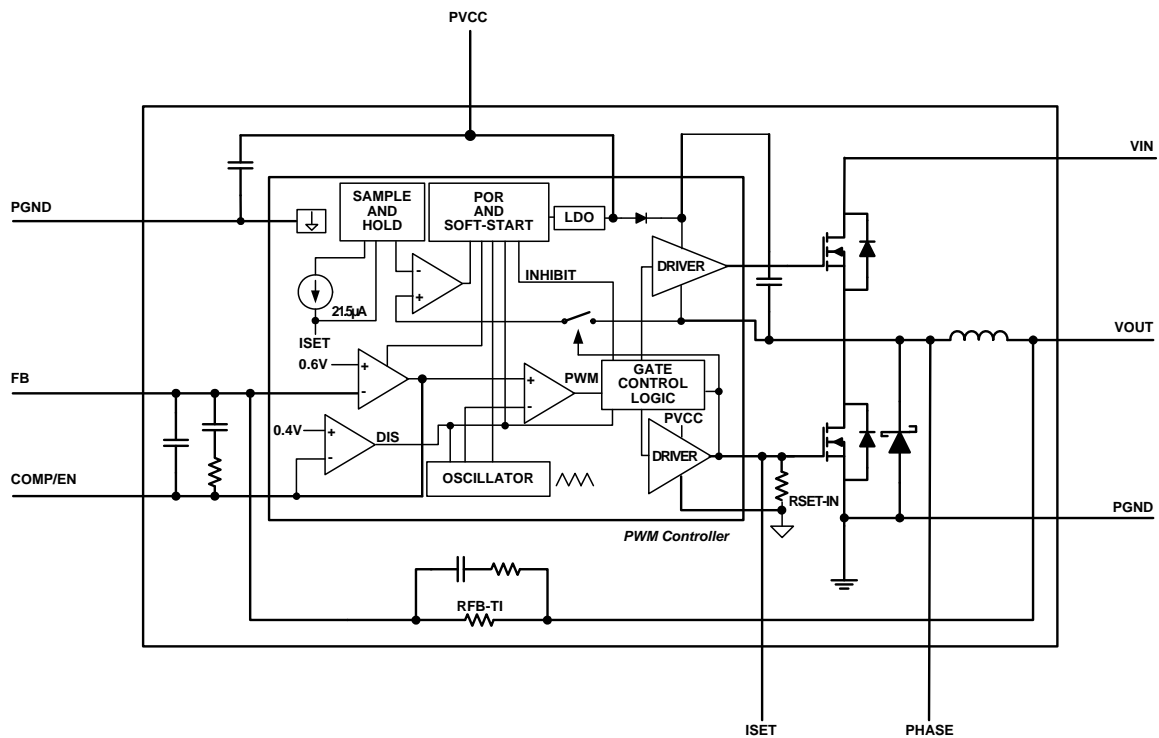
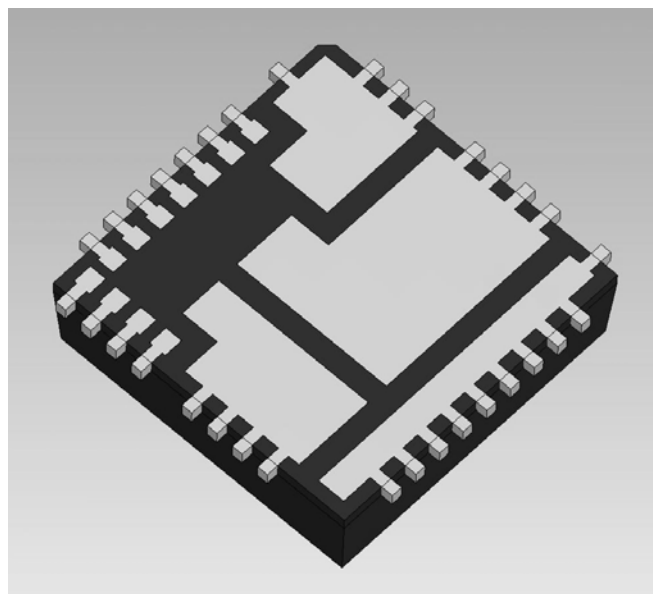
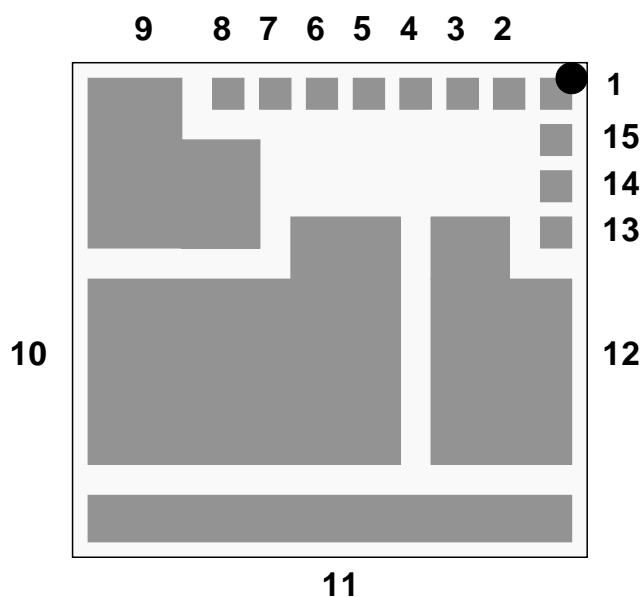


図 1. 内部ブロック図

ピン配置

ISL8201M
(15 LD QFN)
上面図と立体図



ピンの説明

ピン	名称	説明
1、2、3、4、11	PGND	電源グラウンド。グラウンド層に直接接続してください。
5	PVCC	電源電圧。グラウンド層との間に 1 μ F のセラミック・コンデンサを直接接続してください。
6、8、15	NC	接続しないでください。
7	ISET	過電流保護。3.57k Ω の抵抗が内蔵されています。このピンと PGND ピンの間に追加の抵抗を接続すると、初期設定を変更できます。
9	VIN	電源入力。入力に接続してください。
10	PHASE	フェーズ・ノード。ハイサイド/ローサイド MOSFET および出カインダクタ接続のノードです。
12	VOUT	電源出力。出力に接続してください。
13	COMP/EN	補償およびイネーブル。
14	FB	帰還入力。このピンとグラウンドの間に抵抗を接続すると、出力電圧を調整できます。

ISL8201M

絶対最大定格

COMP/EN ~ P _{GND}	P _{GND} - 0.3V ~ +6V
I _{SET} ~ P _{GND}	P _{GND} - 0.3V ~ P _{VCC} + 0.3V
P _{VCC} ~ P _{GND}	P _{GND} - 0.3V ~ +15V
P _{HASE} ~ P _{GND}	-1.2V ~ +30V (Note 4)
V _{IN} ~ P _{HASE}	-1.2V ~ +30V (Note 4)

温度情報

熱抵抗 (代表値)	θ_{JA} (°C/W)	θ_{JC} (°C/W)
15 Ld QFN (Notes 5, 6)	13	2
ジャンクション温度 T _J	+125 °C	
保存温度範囲 T _{STG}	-40 °C ~ +125 °C	
鉛フリー・リフロープロファイル	以下の URL を参照 http://www.intersil.com/pbfree/Pb-FreeReflow.asp	

推奨動作条件

入力電源電圧 (V _{IN})	+1V ~ +20V
出力電圧 (V _{OUT})	+0.6V ~ +5V
P _{VCC}	
固定電源電圧	+5V または +12V
可変電源電圧	+6.5V ~ +14.4V
周囲温度範囲 (T _A)	-40 °C ~ +85 °C

注意：過度に長い時間にわたって最大定格点または最大定格付近で動作させないでください。そのような動作条件を課すと製品の信頼性に影響が及ぶ恐れがあると同時に、保証の対象とはならない可能性があります。

NOTE :

- 内蔵ハイサイド/ローサイド MOSFET における V_{DS} (ドレイン~ソース間) の仕様。
- θ_{JA} はデバイスを放熱効率の高い試験基板 (サーマルピアなしの 4 層タイプ。テクニカル・ブリーフ「Thermal Characterization of Packaged Semiconductor Devices (TB379)」を参照) に実装し、自由大気中で測定した値です。最上層と最下層が固体層である点を除き、JEDEC 規格に従って測定されています。
- θ_{JC} の測定における「ケース温度」位置は、パッケージ下面のエキスポーズド金属パッドの中心です。

電気的特性 T_A = +25 °C, V_{IN} = 12V, V_{OUT} = 1.5V, C_{IN} = 220μF×1, 10μF/セラミック×2, C_{OUT} = 330μF (ESR = 10mΩ), 22μF/セラミック×3。

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
INPUT CHARACTERISTICS						
Input Supply Bias Current	I _{Q(VIN)}	I _{OUT} = 0A, V _{OUT} = 1.5V, V _{IN} = 12V, P _{VCC} = 12V	-	10	-	mA
Input In-rush Current	I _{inRush}	I _{OUT} = 0A, V _{OUT} = 1.5V, V _{IN} = 12V, P _{VCC} = 12V	-	140	-	mA
Input Supply Current	I _{S(VIN)}	I _{OUT} = 10A, V _{OUT} = 1.5V, V _{IN} = 12V, P _{VCC} = 12V	-	1.48	-	A
OUTPUT CHARACTERISTICS						
Output Continuous Current Range	I _{OUT(DC)}	V _{IN} = 12V, V _{OUT} = 1.5V	0	-	10	A
Line Regulation Accuracy	$\Delta V_{OUT}/\Delta V_{IN}$	V _{OUT} = 1.5V, I _{OUT} = 0A, V _{IN} = 3.3V to 20V, P _{VCC} = 12V	-	0.1	-	%
Load Regulation Accuracy	$\Delta V_{OUT}/\Delta I_{OUT}$	I _{OUT} = 0A to 10A, V _{OUT} = 1.5V, V _{IN} = 12V, P _{VCC} = 12V	-	0.5	-	%
Peak-to-Peak Output Ripple Voltage	ΔV_{OUT}	I _{OUT} = 10A, V _{OUT} = 1.5V, V _{IN} = 12V, P _{VCC} = 12V	-	20	-	mV
DYNAMIC CHARACTERISTICS						
Voltage Change For Positive Load Step	ΔV_{OUT-DP}	I _{OUT} = 0A to 5A. Current slew rate = 2.5A/μs, V _{IN} = 12V, V _{OUT} = 1.5V, P _{VCC} = 12V	-	36	-	mV
Voltage Change For Negative Load Step	ΔV_{OUT-DN}	I _{OUT} = 0A to 5A. Current slew rate = 2.5A/μs, V _{IN} = 12V, V _{OUT} = 1.5V, P _{VCC} = 12V	-	39	-	mV
CONTROLLER						
Shutdown P _{VCC} Supply Current	I _{PVCC_S}	P _{VCC} = 12V; Disabled (Note 7)	4	5.2	7	mA
Supply Voltage	P _{VCC}	Fixed 5V supply	4.5	5.0	5.5	V
		Wide range supply	6.5	12.0	14.4	V
P _{VCC} Operating Current	I _{PVCC}	I _{OUT} = 10A, V _{OUT} = 1.5V, V _{IN} = 12V				
		5V supply	-	22	-	mA
		12V supply	-	47	-	mA
Rising P _{VCC} Threshold	V _{PORR}	(Note 7)	3.9	4.1	4.3	V
P _{VCC} Power-On-Reset Threshold Hysteresis	V _{PORH}	(Note 7)	0.30	0.35	0.40	V

ISL8201M

電気的特性 $T_A = +25^\circ\text{C}$ 、 $V_{IN} = 12\text{V}$ 、 $V_{OUT} = 1.5\text{V}$ 、 $C_{IN} = 220\mu\text{F} \times 1$ 、 $10\mu\text{F}$ /セラミック $\times 2$ 、 $C_{OUT} = 330\mu\text{F}$ (ESR = $10\text{m}\Omega$)、 $22\mu\text{F}$ /セラミック $\times 3$ 。(続き)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Oscillator Frequency	F_{OSC}	(Note 7)	510	600	660	kHz
Internal Resistor Between V_{OUT} and FB Pins	R_{FB-TI}		9.66	9.76	9.85	$\text{k}\Omega$
Disabled Threshold Voltage (COMP/EN)	V_{ENDIS}	(Note 7)	0.375	0.4	0.425	V
Reference Voltage	V_{REF}	(Note 7)	-	0.6	-	V
Reference Voltage Tolerance		0°C to $+70^\circ\text{C}$ (Note 7)	-1.0	-	+1.0	%
		-40°C to $+85^\circ\text{C}$ (Note 7)	-1.5	-	+1.5	%
FAULT PROTECTION						
Internal Resistor Between I_{SET} and P_{GND} Pins	R_{SET-IN}		-	3.57	-	$\text{k}\Omega$
I_{SET} Current Source	I_{SET}	(Note 7)	18.0	21.5	23.5	μA

NOTE :

7. 内蔵 IC については、モジュールの組み立て前にパラメータの全数試験を行っています。

性能特性

効率性 $T_A = +25^\circ\text{C}$ 、 $V_{IN} = P_{VCC}$ ($18V_{IN}$ で $P_{VCC} = 5\text{V}$)、 $C_{IN} = 220\mu\text{F} \times 1$ 、 $10\mu\text{F}$ /セラミック $\times 2$ 、 $C_{OUT} = 330\mu\text{F}$ (ESR = $10\text{m}\Omega$)、 $22\mu\text{F}$ /セラミック $\times 3$ 。効率を求める式は次のとおりです。 $\text{Efficiency} = \frac{\text{Output Power}}{\text{Input Power}} = \frac{P_{OUT}}{P_{IN}} = \frac{(V_{OUT} \times I_{OUT})}{(V_{IN} \times I_{IN})}$

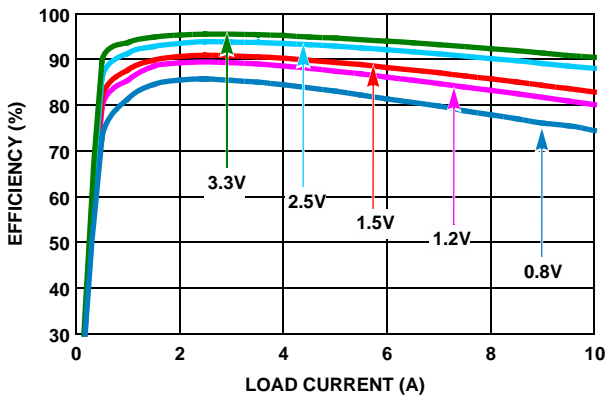


図 2. 効率 vs 負荷電流 ($5V_{IN}$)

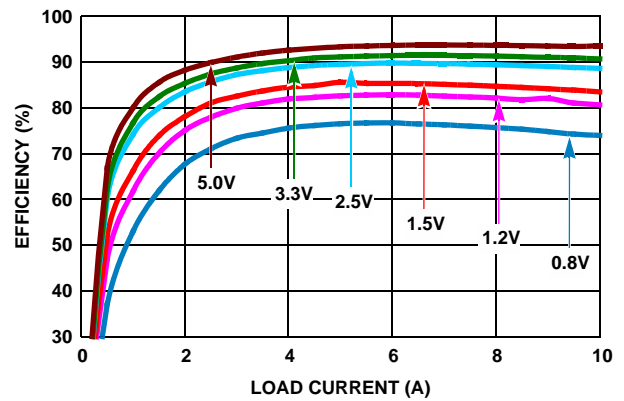


図 3. 効率 vs 負荷電流 ($12V_{IN}$)

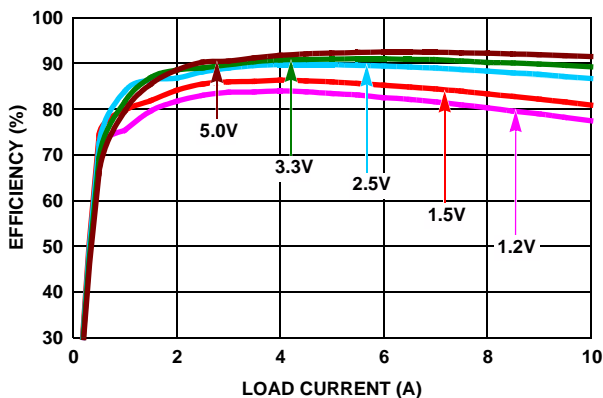


図 4. 効率 vs 負荷電流 ($18V_{IN}$)

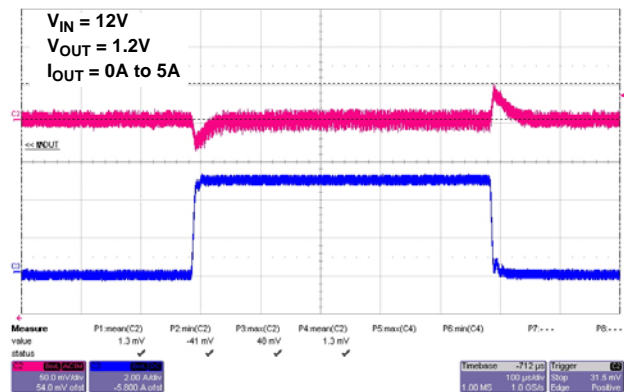


図 5. 1.2V の過渡応答

性能特性 (続き)

過渡応答性能 $T_A = +25^\circ\text{C}$, $V_{IN} = 12\text{V}$, $V_{OUT} = 1.5\text{V}$, $P_{VCC} = 12\text{V}$, $C_{IN} = 220\mu\text{F} \times 1$, $10\mu\text{F}$ /セラミック $\times 2$, $C_{OUT} = 330\mu\text{F}$ (ESR = $10\text{m}\Omega$), $22\mu\text{F}$ /セラミック $\times 3$, $I_{OUT} = 0\text{A} \sim 5\text{A}$ (10A), 電流スルーレート = $2.5\text{A}/\mu\text{s}$

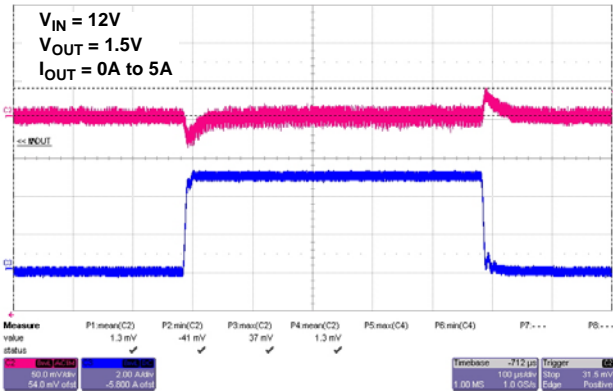


図 6. 1.5V の過渡応答

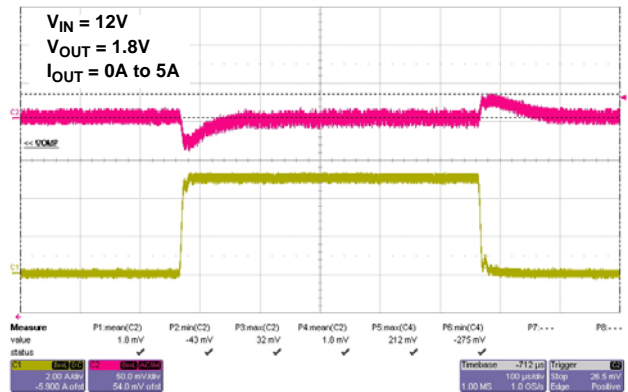


図 7. 1.8V の過渡応答

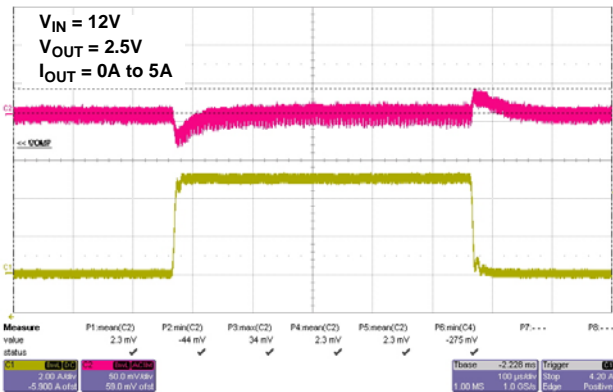


図 8. 2.5V の過渡応答

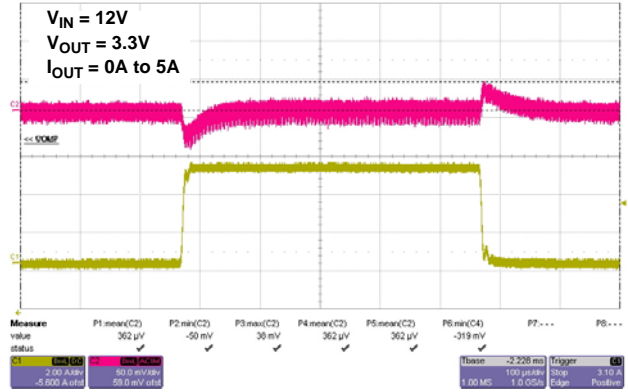


図 9. 3.3V の過渡応答

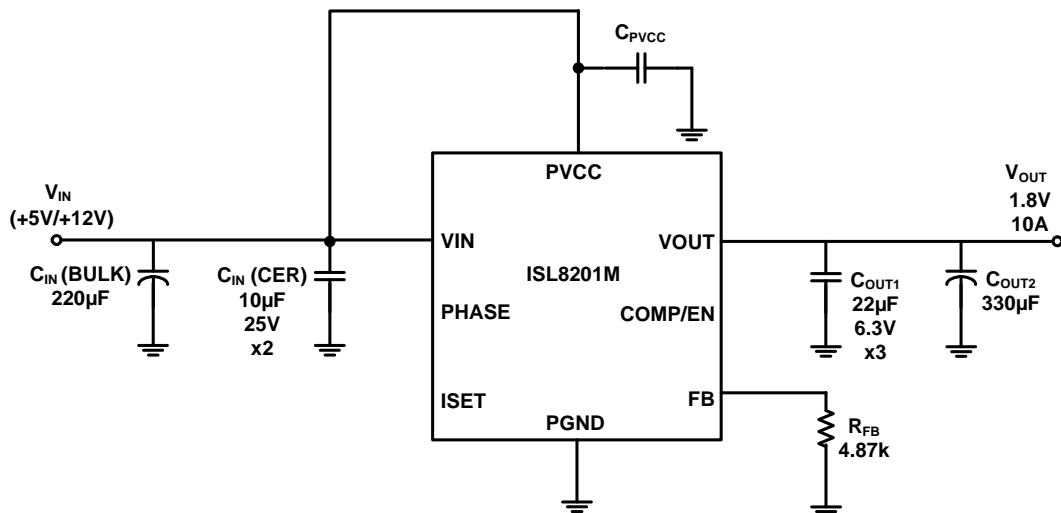


図 10. アプリケーション回路例

ピンの機能

PGND (ピン 1、2、3、4、11)

信号 / 入力 / 出力帰還パス用の電源グラウンド・ピンです。PGND は、1 つまたは複数のグラウンド層に直接接続することを推奨します。スイッチング・ノイズや銅損失の影響を低減し、熱放散を向上させることができます。

PVCC (ピン 5)

このピンは、ISL8201M のほか、ローサイド MOSFET のゲートとハイサイド MOSFET のゲートにもバイアス電源を供給します。PVCC が 6.5V を上回った場合は、内蔵の 5V レギュレータが内部ロジックバイアスに電源を供給します(ただし、ハイサイド/ローサイド MOSFET のゲートには PVCC から供給されません)。十分にデカップリングされた +5V または +12V の電源をこのピンに接続してください。

NC (ピン 6、8、15)

これらのピンに機能は割り当てられていません。接続しないでください。

ISET (ピン 7)

ISET ピンは、過電流保護 (OCP) 設定用の入力です。ローサイド MOSFET の $r_{DS(ON)}$ との比較によって、過電流スレッシュホールドが設定されます。ISL8201M には、過電流保護リミットの初期設定が設けられています。ISET ピンと PGND ピンの間には 3.57kΩ の抵抗 (R_{SET-IN}) が内蔵されており、過電流がモジュールに大きな影響を及ぼすことを防いでいます。また、ISET ピンと PGND ピンの間に追加の抵抗 R_{SET-EX} を並列接続すると、電流リミット・ポイントを下げることができます。

VIN (ピン 9)

電源入力ピンです。VIN ピンと PGND ピンの間に入力電圧を印加してください。VIN ピンと PGND ピンの間に入力デカップリング・コンデンサを直接接続することを推奨します。入力コンデンサはモジュールのできるだけ近くに配置してください。

PHASE (ピン 10)

PHASE ピンは、ハイサイド MOSFET とローサイド MOSFET の間のスイッチング・ノードです。また、ハイサイド MOSFET ドライバ用に電流パスを提供し、過電流リミット・ポイント向けにローサイド MOSFET のドレイン電圧を検出します。

VOUT (ピン 12)

電源出力ピンです。このピンと PGND ピンの間に出力負荷を印加してください。VOUT ピンと PGND ピンの間に高周波出力デカップリング・コンデンサを直接接続することを推奨します。出力コンデンサはモジュールのできるだけ近くに配置してください。

COMP/EN (ピン 13)

これは共用ピンです。ソフトスタート時および標準コンバータ動作では、誤差アンプの出力としての役割を果たします。FB ピンと組み合わせて使用すると、コンバータの電圧制御帰還ループに対する補償が可能です。COMP/EN を Low (V_{ENDIS} = 公称 0.4V) にした場合、コントローラがディスエーブル (シャットダウン) になり、その結果、発振回路が停止して、MOSFET 出力のハイサイド / ローサイド・ゲートが

Low になります。外付けプルダウン・デバイスは最初、最大 5mA の COMP/EN 出力電流に耐える必要があります。ただし、コントローラがディスエーブルになった後は、COMP/EN 出力もディスエーブルになるので、電流の生成を続けるのは 20μA の電流源のみになります。

FB (ピン 14)

FB ピンは、ISL8201M の出力電圧を調整します。FB ピンでは、PGND ピンを基準に電圧が 0.6V までレギュレートされます。ISL8201M には分圧抵抗が内蔵されています。この 9.76kΩ の高精度抵抗 (R_{FB-T1}) は、VOUT ピンと FB ピンの間に接続されています。FB と PGND の間に抵抗を追加すると、異なる出力電圧を設定できます。

一般的なアプリケーション向けのリファレンス回路

単一電源を搭載したアプリケーションの例

図 11 に、+5V または +12V の入力電圧に対応した ISL8201M のアプリケーション回路を示します。PVCC ピンは、入力電源に直接接続できます。

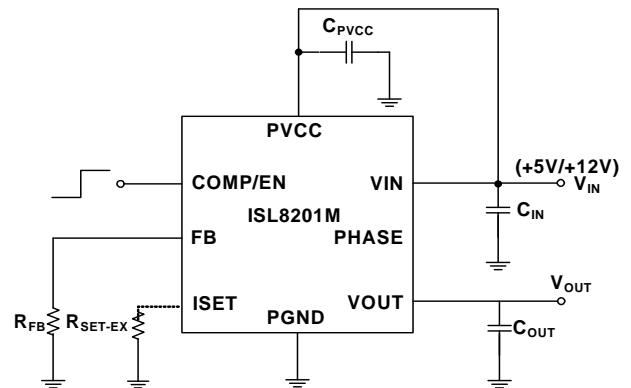


図 11. アプリケーション回路例

個別電源を搭載したアプリケーションの例

図 12 に、+1V ~ +20V の広い入力電圧範囲に対応した ISL8201M のアプリケーション回路を示します。PVCC 電源は、+5V/+12V または +6.5V ~ 14.4V の電圧を供給できます。

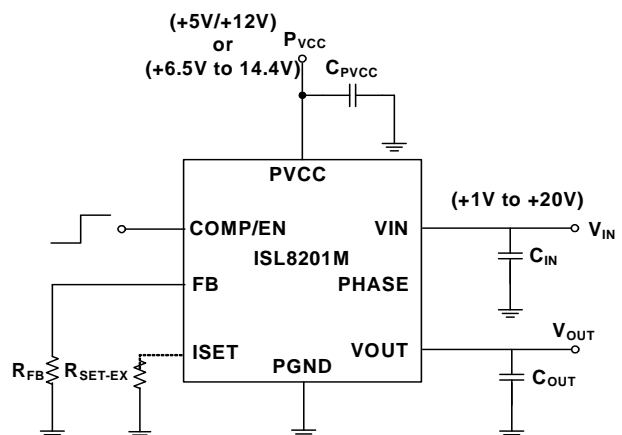


図 12. 広入力電圧範囲のアプリケーション回路

アプリケーション情報

図 11 に示したのは、+5V または +12V の入力電圧に対応した ISL8201M のアプリケーション回路例です。外付け部品の選択は主に、最大負荷電流と入出力電圧によって決まります。

出力電圧のプログラム

ISL8201M は、 $0.6V \pm 1.5\%$ の内部リファレンス電圧を備えています。出力電圧をプログラムするには、分圧抵抗 (R_{FB}) が必要です。出力電圧は式 1 で求められます。

$$V_{OUT} = 0.6 \times \left(1 + \frac{9.76k}{R_{FB}} \right) \quad (\text{式 1})$$

Note : ISL8201M では、 $9.76k\Omega$ の抵抗がモジュールに内蔵されています (上側用の分圧抵抗)。表 1 に、出力電圧別の抵抗値を示します。

表 1. 出力電圧別の抵抗値

V_{OUT}	0.6V	1.05V	1.2V	1.5V
R_{FB}	open	13k	9.76k	6.49k
V_{OUT}	1.8V	2.5V	3.3V	5V
R_{FB}	4.87k	3.09k	2.16k	1.33k

初期化 (POR および OCP サンプリング)

図 13 に、ISL8201M のスタートアップ波形を示します。パワーオン・リセット (POR) 機能は、PVCC ピンのバイアス電圧を継続的にモニタしています。立ち上がり POR スレッシュホールドが 4V (公称 V_{PORR}) を超えると、POR 機能は過電流保護 (OCP) サンプル/ホールド動作を開始します (COMP/EN は約 1V を維持)。サンプリングが完了すると、 V_{OUT} がソフトスタート・ランプを開始します。

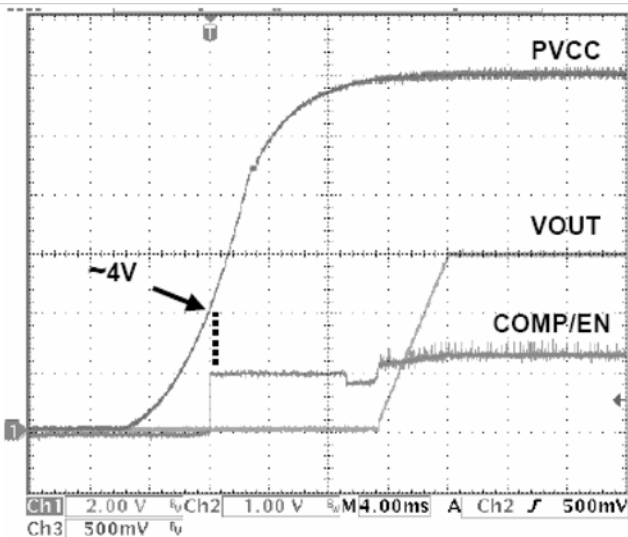


図 13. POR とソフトスタート動作

パワーアップ時に COMP/EN ピンを Low に保つと、COMP/EN が V_{ENDIS} トリップ・ポイントを上回るまで、初期化は行われません。

図 14 と図 15 に、代表的なパワーアップ・シーケンスの詳細を示します。PVCC が V_{PORR} を上回るか、または POR 後に COMP/EN ピンが解放された時点 (T_0) で、初期化が開始されます。内蔵の $20\mu A$ 電流源によって COMP/EN がプルアップされますが、COMP/EN が V_{ENDIS} トリップ・ポイントを超えるまで (T_1)、タイミング処理は開始されません。 $20\mu A$ 電流源による COMP/EN ピンの充電速度は、ディスエーブル・デバイスの外部容量と補償コンデンサによって決まります。一般的な容量の場合、ソフトスタート時間と比べてわずかなディレイが生じます。COMP/EN は 1V 程度まで上昇します。

T_1 の後、PVCC ピンが 6.5V (12V まで上昇する場合) を超えられるように公称 6.8ms のディレイが設けられているので、内蔵バイアス・レギュレータはクリーンにターンオンできます。それと同時に、ローサイド・ゲートドライバをディスエーブルにし、 R_{SETI} を介して I_{SET} (公称 $21.5\mu A$) を流すことにより、 I_{SET} ピンが初期化されます。この結果、 I_{SET} トリップ・ポイントに相当する電圧が設定されます。 T_2 では、OCP サンプル/ホールド動作向けに可変の期間が設けられています (公称 0.0ms ~ 3.4ms。過電流設定が高いほど長時間)。サンプル/ホールド動作ではデジタル・カウンタと DAC を使って電圧を保持するので、PVCC が V_{PORR} を上回っている限り、保持された値は失われません (式と変数の詳細については 10 ページの「過電流保護 (OCP)」を参照)。 T_3 でサンプル/ホールド動作が完了すると、ソフトスタート動作が開始され、 T_4 と T_5 の間で出力電圧が上昇します。

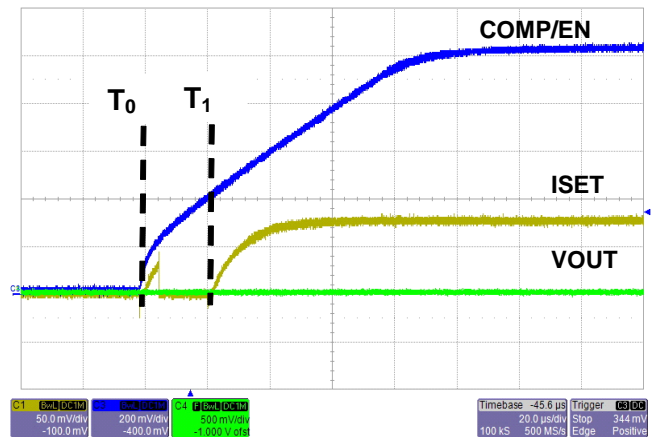


図 14. I_{SET} とソフトスタート動作

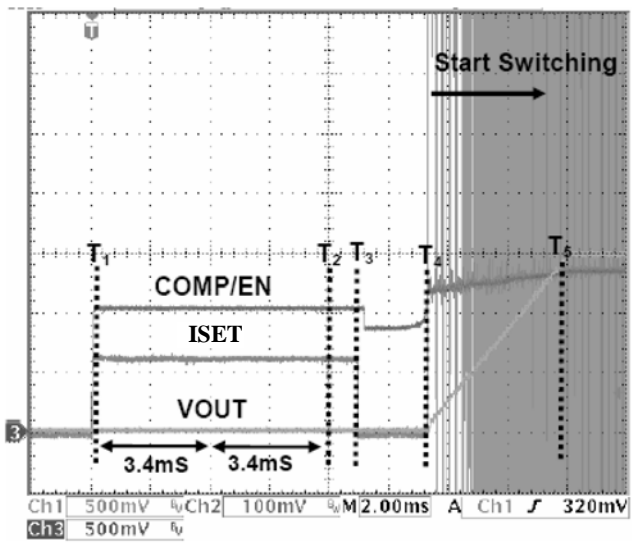


図 15. ISET とソフトスタート動作

ソフトスタートとプリバイアス出力

ソフトスタートでは内部的に、誤差アンプの非反転端子におけるリファレンスが公称 6.8ms で 0V から 0.6V まで上昇します。出力電圧もこのランプに追従し、 T_3 と T_4 の間の初期化タイミング処理により、同じ 6.8ms で 0V から最終値まで上昇します (V_{OUT} における実際のランプは公称時間より短くなります)。

ランプはデジタル的に生成され、64 段階の小さなステップに分けられます。このランプレートは、外部から変更できません。

初期化期間 ($T_3 \sim T_4$) 後、誤差アンプ (COMP/EN ピン) がイネーブルになり、ソフトスタート中にコンバータの出力電圧のレギュレーションを開始します。誤差アンプの上昇電圧は、発振回路の三角波と比較されます。これにより PHASE パルスが生成され、パルス幅を次第に拡大して、出力コンデンサを充電します。内部で生成されたソフトスタート電圧がリファレンス電圧 (0.6V) を上回ると、ソフトスタートが完了し、出力が目標電圧でのレギュレーション状態になります。この方式では、迅速で、制御された出力電圧の上昇が可能であり、過剰な突入電流が出力コンデンサを充電することはありません。POR から始まるスタートアップ・シーケンス全体では通常、最大で 17ms を要します (ディレイと OCP サンプリングに最大 10.2ms、ソフトスタート・ランプに 6.8ms)。

図 16 に示す通常のスタートアップ曲線では、 T_0 で初期化が開始され、 T_1 と T_2 の間で出力が上昇しています。図 17 に示すように、出力が目標値より低い電圧にプリバイアスされている場合、ISL8201M はその状態を検出します。いずれの内蔵 MOSFET も、ソフトスタート・ランプ電圧が出力を超えてからオンになります。 V_{OUT} は、その時点でシームレスに上昇を開始します。

図 18 に示すように、出力が目標値より高い電圧にプリバイアスされている場合は、いずれの MOSFET もソフトスタート終了後にオンになり、その時点で出力電圧を最終値までプルダウンします。抵抗性負荷を出力に接続すると、電圧を RC レート (R が負荷、C が出力コンデンサ) で効果的にプルダウンできます。

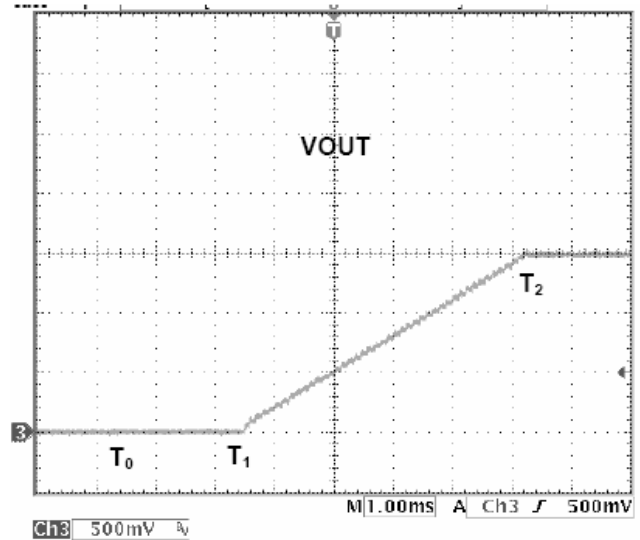


図 16. 通常のスタートアップ

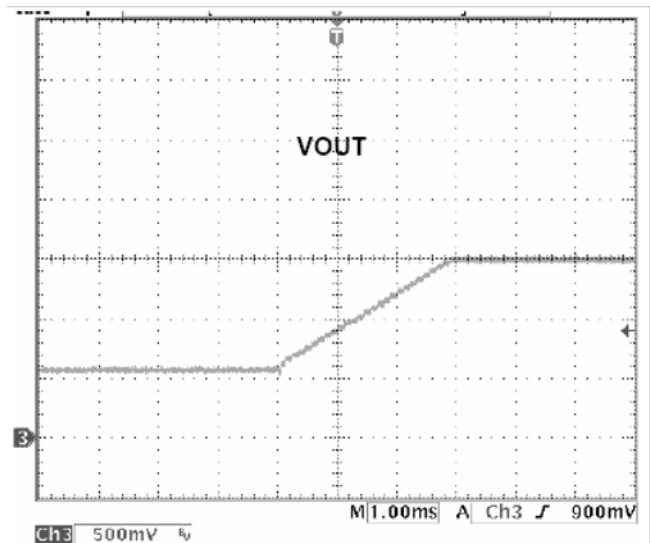


図 17. プリバイアス・スタートアップ

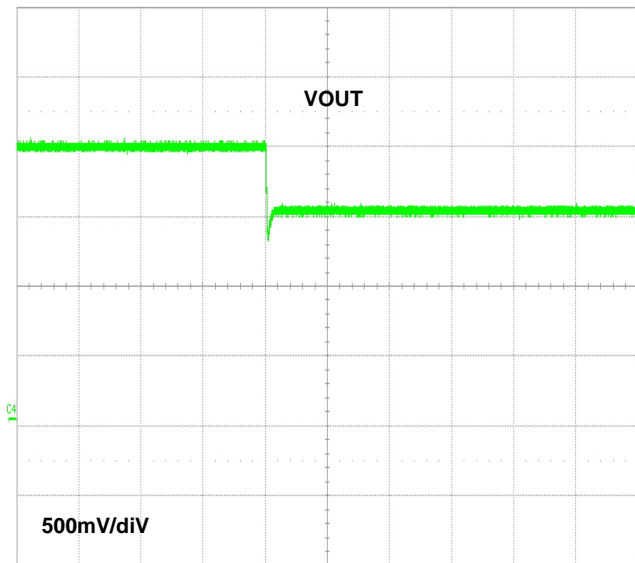


図 18. プリバイアス・スタートアップ-過充電

P_{VCC} に追従する別の電源から同期整流降圧コンバータの V_{IN} が供給される場合、ソフトスタート・サイクルは実行されますが、出力電圧ランプはありません。 V_{IN} がオンになると、出力は 0V から最終的な目標電圧まで V_{IN} のランプに追従します (ほぼ 100% のデューティサイクル、COMP/EN ピン > 4V)。 V_{IN} が速すぎる場合、過剰な突入電流が出力コンデンサを充電することがあります (この場合ランプ開始部分の 0V ~ V_{OUT} のみ問題になります)。これが許容できない場合は、電源シーケンスの変更や同一電源の共有を検討してください。または、 V_{IN} 電源の準備完了までソフトスタートを遅らせるシーケンス・ロジックを COMP/EN ピンに追加してください (11 ページの「入力電圧に関する考慮事項」を参照)。

ソフトスタート後に COMP/EN ピンを Low にして ISL8201M をディスエーブルにし、その後で COMP/EN ピンを解放してイネーブルにした場合でも、OCP サンプリングを含め初期化全体が実行されます。ただし、過電流リトライ中は、新たな OCP サンプリングは行われません。次のセクションで説明するように、ソフトスタート中に出力が GND に短絡した場合も、OCP 処理を行います。

過電流保護 (OCP)

OCP 機能は、ローサイド MOSFET のオン抵抗 $r_{DS(ON)}$ を使って電流をモニタすることにより、コンバータを短絡出力から保護します。過電流トリップ・レベルのプログラムには、抵抗 (R_{SET}) を使用します。

この方式では電流センス抵抗が不要なため、コンバータの効率化とコストの削減が可能です。過電流が検出されると、出力が即座にシャットオフされます。ソフトスタート機能をヒックアップモードで繰り返し実行することにより (2 回のダミー・ソフトスタート・タイムアウト後、実際のソフトスタートを 1 回実行)、フォルト保護を実現しています。短絡状態が解消されない場合は、このサイクルが無限に繰り返されます。

ISL8201M は、POR および 6.8ms のディレイに続いて OCP サンプル/ホールド動作を開始します。ローサイド・ゲートドライバがディスエーブルになり、内蔵の $21.5\mu A$ 電流源によって R_{SET} の両端間電圧が生成されます。ISL8201M は、ISET ピンでこの電圧 (PGND ピン基準) をサンプリングし、カウンタと DAC の組み合わせによって保持します。サンプリングされた電圧は、電源が印加されている間、またはシャットダウンからの復帰後に新しいサンプルが取得されるまでの間、過電流セットポイントとして内部に保持されます。

ローサイド MOSFET のオン抵抗に対する実際のモニタリングは、内部 PWM ロジック信号のエッジ (立ち上がり外部ローサイド・ゲート信号を生成) の 200ns (公称値) 後に開始されます。これは、モニタリング開始前に PHASE ピンにおけるゲート遷移ノイズとリングングを安定させることが目的です。モニタリングは、内部 PWM エッジ (およびローサイド・ゲート信号) が Low になると終了します。上記のウィンドウ内であればどの時点でも、OCP の検出が可能です。

600kHz 動作においてコンバータが 75% 程度の高いデューティサイクルで動いている場合は、ローサイド・ゲート・パルス幅が十分でなく、OCP が $r_{DS(ON)}$ を適切にサンプリングできないことがあります。こうしたケースで 3 パルス連続してローサイド・ゲート信号が狭すぎると (または存在しないと)、幅が 425ns 以上になるように 3 番目のパルスが拡大・挿入されます。このような状態では、3 パルスごとに OCP モニタリングが可能になります。これは、出力電圧におけるパルス幅のわずかな誤差につながることもあり、次のパルスで補正されます。また、出力リップル電圧では、ジッタのように見える異常な 3 クロック・パターンが発生します。

OCP 機能は、式 2 で求められるピーク・インダクタ電流 (I_{PEAK}) でトリップします。

$$I_{PEAK} = \frac{2 \times I_{SET} \times R_{SET}}{r_{DS(ON)}} \quad (式 2)$$

ここで、

I_{SET} は、内蔵の I_{SET} 電流源です (代表値 $21.5\mu A$)。

R_{SET} は、ISET ピンと PGND ピンの間に接続された等価抵抗です。

$r_{DS(ON)}$ は通常、 $6.1m\Omega @ (V_{PVCC} = V_{GS} = 10V, I_{DS} = 30A)$ および $9m\Omega @ (V_{PVCC} = V_{GS} = 4.5V, I_{DS} = 30A)$ です。

Note : ISL8201M には $3.57k\Omega$ の抵抗 (R_{SET-IN}) が内蔵されています。したがって、等価抵抗 R_{SET} は式 3 で表せます。

$$R_{SET} = \frac{R_{SET-EX} \times R_{SET-IN}}{R_{SET-EX} + R_{SET-IN}} \quad (式 3)$$

システムの OC トリップ・ポイントは、主に MOSFET の $r_{DS(ON)}$ の変動要素 (プロセス、電流、温度) に応じて変化します。通常動作負荷範囲での過電流トリップを避けるには、以下の手順 1 ~ 3 に基づいて、式 4 により R_{SET} 抵抗の値を求めます。

1. 最大ジャンクション温度における最大 $r_{DS(ON)}$
2. 3 ページの「電気的特性」に記載された最小 I_{SET}
3. 次式で I_{PEAK} を計算

$$I_{PEAK} > I_{OUT(MAX)} + \frac{(\Delta I_L)}{2} \quad (式 4)$$

ΔI_L は、出力インダクタ・リップル電流です。20V 入力 /5V 出力のように、高入力電圧かつ高出力電圧のアプリケーションの場合、固定の内部インダクタ値が原因で過剰なインダクタ・リップルが発生します。そのようなアプリケーションでは、出力電流がモジュールの定格電流の約 70%に制限されます。

外付け R_{SET} の値と出力電流 $I_{OUT(MAX)}$ の代表的な OCP レベルとの関係を以下に示します。

表 2.

R_{SET} (Ω)	OCP (A) @ $V_{IN} = 12V$, $P_{VCC} = 5V$	OCP (A) @ $V_{IN} = 12V$, $P_{VCC} = 12V$
OPEN	13.3	17.3
50k	12.6	16.6
20k	11.4	14.9
10k	10.2	13.3
5k	7.6	10.3
3k	6.3	8.3
2k	4.9	6.7

検出可能な電圧の範囲 ($2 \times I_{SET} \times R_{SET}$) は、0mV ~ 475mV です。 R_{SET} の両端間の電圧低下設定が低すぎると、OCP のトリップおよびリトライがほぼ連続して行われる可能性があります。また、システム・ノイズや突入電流スパイクの影響を受けやすくなるので、このような設定は避けてください。実用的な上限設定は R_{SET} の両端間で約 0.2V (MOSFET の両端間で 0.4V) であり、これより高い値にすると保護がディスエーブルになることがあります。 R_{SET} の両端間の電圧低下が 0.3V (MOSFET のトリップ・ポイントは 0.6V) を超えた場合は、OCP がディスエーブルになります。パワーアップ時やリトライ時の動作は、通常動作と異なっているように見えるので注意してください。12V システムにおけるパワーアップの際、4V をわずかに上回ると、ISL8201M は動作を開始します。電源ランプが遅い場合は、12V に達するはるか前にソフトスタート・ランプが終了することがあります。したがって、ローサイド・ゲートドライブ電圧では、パワーアップ時に MOSFET の $r_{DS(ON)}$ が高くなり、実質的に OCP トリップが低下します。また、入力電圧が低いと、リップル電流も異なる可能性があります。もう 1 つの要素として、ソフトスタート・ランプのデジタル的な特性が挙げられます。電圧ステップごとに、わずかな負荷変動と、出力コンデンサを充電する電流スパイクが発生します。電流スパイクの高さは制御されておらず、出力のステップ・サイズ、出力コンデンサの容量、内蔵誤差アンプの補償によって左右されます。したがって、通常の負荷やリップルに加え、突入電流によっても過電流がトリップされる可能性があります。

図 19 に、PGND に短絡された出力のリトライ時における出力応答を示します。 T_0 の時点では、過電流状態の検出のために出力はオフにされています。MOSFET の温度を低下させ、リトライでの平均電力損失を許容レベルに抑える目的で、2 回の内部ソフトスタート・ディレイ・サイクル (T_1 と T_2) が設けられています。 T_2 の時点で、出力が通常のソフトスタート・サイクルを開始し、ランプを試みます。短絡が継続し、ソフトスタート・ランプ期間中に電流が I_{SET} トリップ・ポイントに達した場合、出力がシャットオフされ、 T_0 に戻ってディレイ・サイクルが再開されます。リトライ期間は、このように、2 回のダミー・ソフトスタート・サイクルと、1 回の変換サイクル (センサのトリップにかかる時間によって毎回異なります) で構成されています。図 19 に示す例では、出力が半分程度まで上昇してからシャットダウンしています。この場合のリトライ (ヒカップ) 時間は約 17ms になります。最小値は公称 13.6ms、最大値は 20.4ms です。最終的に短絡状態が解消されると、出力は通常、次の T_2 サイクルで上昇を開始します。

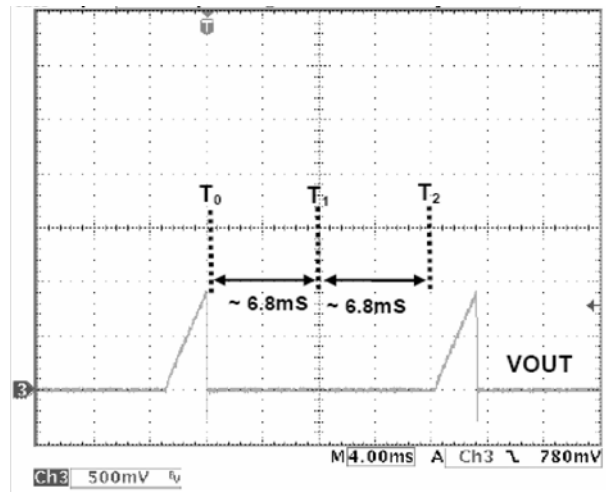


図 19. 過電流リトライ動作

短絡された負荷へのスタートアップは、短絡された同一の負荷へのリトライと似ています。いずれのケースでも、ソフトスタート中 OCP は常にイネーブルであり、トリップすると、リトライ (ヒカップ) モードに移行します。リトライ・サイクルでは必ず、2 回のダミー・タイムアウトの後、実際のソフトスタートの数分の 1 の時間が経過してから、検出とシャットオフが行われます。それが終わると即座に、ロジックは新たなダミー・サイクル・タイムアウトを 2 回実行します。

入力電圧に関する考慮事項

図 12 に、 P_{VCC} が 5V ($\pm 10\%$) または 12V ($\pm 20\%$) の標準的な構成を示します。いずれのケースでも、ローサイド/ハイサイド・ゲートドライブには P_{VCC} 電圧が使用されます。また、 P_{VCC} は 6.5V ~ 14.4V の任意の電圧でも動作できます。5.5V ~ 6.5V の P_{VCC} は、長期的な信頼性の面から許容されていませんが、この範囲を経て 6.5V 以上の電圧に遷移することは可能です。

バイアス用に 5V レギュレータが内蔵されており、5.5V から 6.5V の間でオンになります。POR 後のディレイの一部は、ソフトスタート・ランプの開始前に一般的な電源が 6.5V を超えられるようにするため設けられています。これにより、内蔵レギュレータのオン / オフに伴う出力障害を防止できます。

入力電圧は、段階的な変化ではなく、緩やかな遷移にすることで、障害を最小限に抑えられます。したがって、この範囲を経た遷移の際は出力をイネーブルにしないことを推奨しますが、許容はされます。ユーザーはアプリケーションの出力をモニタして、問題がないか確認してください。P_{VCC} が最初にパワーアップし、初期化完了までに V_{IN} が得られない場合、ソフトスタートでは出力を上昇させることができません。後から V_{IN} が印加された時点で、出力はそのランプに部分的に追従します。これが望ましくない場合は、電源シーケンスを変更するか、COMP/EN ピンを使って両方の電源の準備完了まで V_{OUT} をディスエーブルにしてください。

図 20 に、このような状況に向けたシンプルなシーケンスを示します。P_{VCC} が最初にパワーアップした場合は、Q₁ がオフになり、P_{VCC} に接続された R₃ が Q₂ をオンにして、ISL8201M をシャットダウン状態に保ちます。次に V_{IN} がオンになると、抵抗分圧回路 R₁ および R₂ が Q₁ のターンオンのタイミングを決定します。このターンオンに伴い、Q₂ がオフになり、シャットダウンが解放されます。V_{IN} が最初にパワーアップした場合は、Q₁ がオンになり、Q₂ がオフになります。そのため、P_{VCC} が得られるとすぐに、ISL8201M がスタートアップします。V_{ENDIS} トリップ・ポイントは公称 0.4V なので、さまざまな N-MOSFET や NPN BJT に加えて一部のロジック IC も、Q₁ や Q₂ として使用できます。ただし、COMP 出力に干渉しないように、Q₂ はオフ時に低リークでなければなりません (オープン・ドレインまたはオープン・コレクタ)。Q₂ は COMP/EN ピンの近くに配置してください。

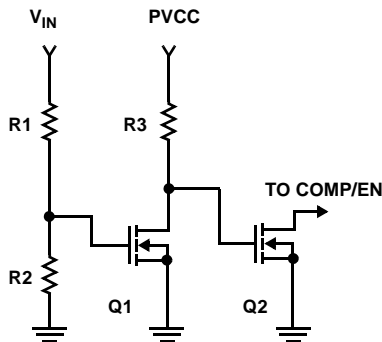


図 20. シーケンス回路

V_{IN} 範囲は、最低約 1V から最高 20V まで対応しています (V_{OUT} は最低で 0.6V のリファレンスに対応)。高い V_{IN} 電圧での動作には、いくつかの制約があります。最大 PHASE 電圧は 30V です。VIN + P_{VCC} + PHASE ピンにおけるリンギングなどの過渡現象は、30V 未満にしてください。V_{IN} が 20V の場合、P_{VCC} を 5V に制限することを推奨します。

スイッチング周波数

スイッチング周波数は内蔵発振回路によって決められており、600kHz クロックに固定されています。ただし、特記のない限り、前述したその他のタイミング (POR ディレイ、OCP サンプリング、ソフトスタートなど) はいずれも、クロック周波数に依存していません。

入力コンデンサの選択

入力フィルタ・コンデンサは、DC 入力ラインにおいて電源が許容可能なリップル量に基づいて選択します。コンデンサが大容量になるほど、リップルは減りますが、パワーアップ時のサージ電流の増加について考慮しなければなりません。

ISL8201M は、サージ電流を制御・抑制するソフトスタート機能を備えています。入力コンデンサの容量は式 5 で求められます。

$$C_{IN} = \frac{I_{IN} \times \Delta t}{\Delta V} \quad (\text{式 5})$$

ここで、

C_{IN} は入力コンデンサ容量 (μF) です。

I_{IN} は入力電流 (A) です。

Δt はハイサイド・スイッチのターンオン時間 (μs) です。

ΔV は許容ピークツーピーク電圧 (V) です。

バルク・コンデンサに加えて低 ESL (等価直列インダクタンス) のセラミック・コンデンサも接続して、ハイサイド MOSFET のドレイン終端とローサイド MOSFET のソース終端をデカップリングすることを推奨します。このコンデンサは、寄生回路素子のスイッチング電流によって生じる電圧リンギングを低減します。

出力コンデンサ

ISL8201M は、出力電圧リップルを抑制するように設計されています。出力電圧リップルと過渡応答の要件は、ESR (等価直列抵抗) が十分に低いバルク出力コンデンサ (C_{OUT}) を使用することで満たせます。C_{OUT} には、低 ESR タンタル・コンデンサ、低 ESR ポリマー・コンデンサ、またはセラミック・コンデンサを使用できます。一般的なコンデンサ容量は 330μF で、デカップリングされたセラミック出力コンデンサを使用します。どのようなセラミック・コンデンサ・アプリケーションでも、合計容量を推奨の 400μF にして、ループ補償を内部的に最適化すれば、十分に余裕のある安定性を得られます。出力リップルや動的過渡スパイクをさらに低減するには、追加の出力フィルタリングが必要になることがあります。

レイアウト・ガイド

安定動作、低損失、優れた放熱性を実現するには、レイアウトについて考慮する必要があります。

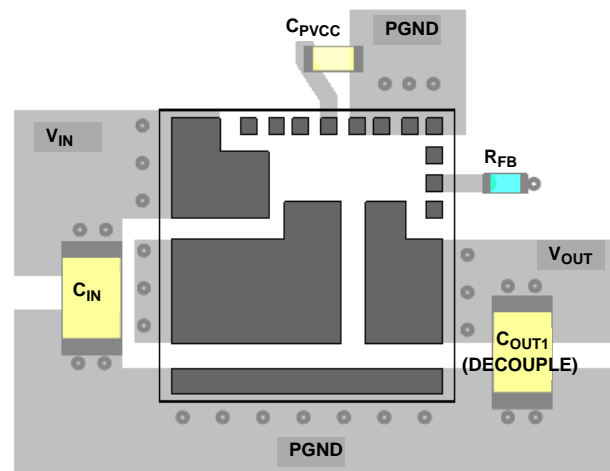


図 21. 推奨レイアウト

- ピン 11 とピン 1～4 の間のグラウンド接続は、モジュールの下のベタグラウンド層で行ってください。
- モジュールのできるだけ近くで、(1) VIN と PGND (ピン 11) の間、および (2) PVCC と PGND (ピン 1～4) の間に高周波セラミック・コンデンサを接続することにより、高周波ノイズを最小限に抑えてください。
- 電源バス (VIN、PGND、VOUT) には広い銅エリアを使用して、導通損失と熱ストレスを最小限に抑えてください。また、複数のビアを設けて、電源層をさまざまな層に接続してください。
- 帰還抵抗へのトレース接続は短くしてください。
- 敏感な信号トレースは PHASE ノードの近くに配線しないでください。

熱に関する考慮事項

実験に基づく電力損失曲線と、熱モデリング解析で得られた θ_{JA} を利用して、モジュールの熱に関する考慮事項を評価できます。ディレーティング曲線は、温度を最大ジャンクション温度 (+125 °C) 未満に保ちつつ許容可能な最大電力から得られたものです。実際のアプリケーションでは、その他の熱源や設計マージンについても考慮する必要があります。

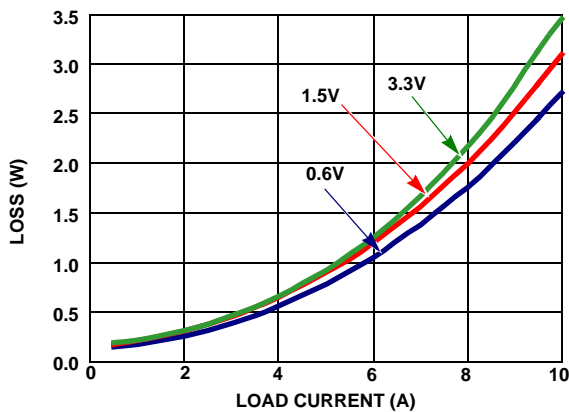


図 22. 電力損失 vs 負荷電流 (5V_{IN})

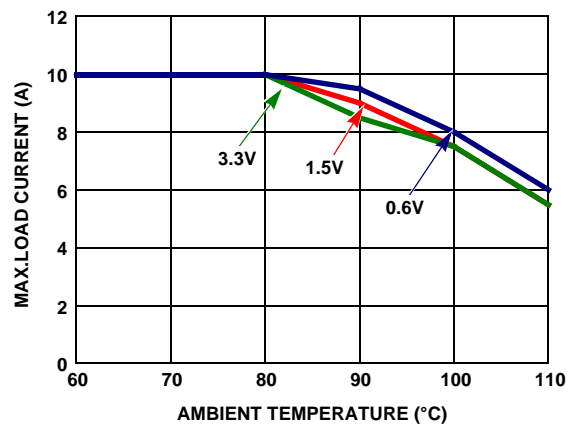


図 23. ディレーティング曲線 (5V_{IN})

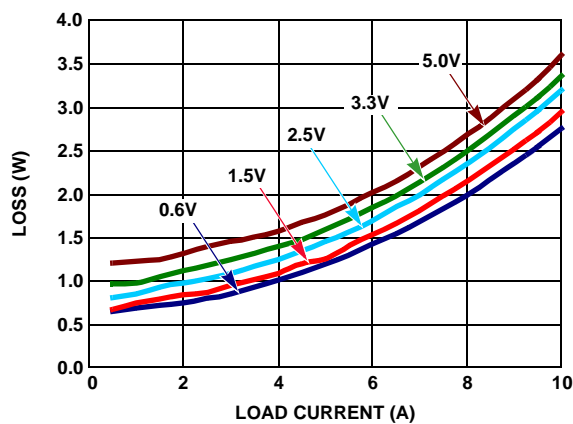


図 24. 電力損失 vs 負荷電流 (12V_{IN})

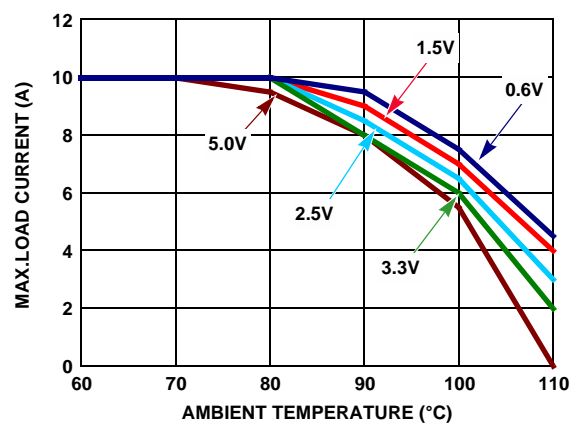


図 25. ディレーティング曲線 (12V_{IN})

パッケージの説明

ISL8201M の構造は、クワッド・フラットパック・ノーリード (QFN) パッケージに属します。この種のパッケージは、優れた放熱効率と導電率、軽量、小型という利点を備えています。QFN パッケージは表面実装技術に適用可能であり、業界で広く普及しつつあります。ISL8201M には、抵抗、コンデンサ、インダクタ、制御 IC など複数の種類のデバイスが搭載されています。ISL8201M は、エキスポーズド銅サーマルパッドを備えた銅リードフレーム・ベースのパッケージなので、導電率と放熱効率に優れています。ポリマー・モールド・コンパウンドで銅リードフレームとマルチコンポーネント・アセンブリをオーバーモールド成形することにより、搭載デバイスを保護しています。

15 ページの「パッケージ寸法図」セクションの「L15.15x15」に、パッケージの寸法、PCB レイアウト・パターン設計例、メタルマスク・パターン設計例を示します。モジュールは 15mm×15mm×3.5mm と小型です。図 25 は、リフロープロファイル・パラメータの例を示しています。以下のガイドラインは一般的な設計ルールです。パラメータはユーザーのアプリケーションに応じて変更できます。

PCB レイアウト・パターンの設計

ISL8201M の下側はリードフレーム構造になっており、表面実装プロセスによって PCB に取り付けます。15 ページの「パッケージ寸法図」セクションの「L15.15x15」に、PCB レイアウト・パターンを示します。PCB レイアウト・パターンは基本的に、QFN エキスポーズド・パッドおよび I/O 端子の寸法と 1:1 です。ただし、PCB ランドを QFN 端子より 0.2mm (最大 0.4mm) だけ長くすることで、パッケージ周囲におけるハンダ・フィレットの形成を容易にしています。そのため、確実に検査のしやすいハンダ接続が可能です。PCB レイアウト上のサーマルランドは、パッケージのエキスポーズド・ダイ・パッドと 1:1 にする必要があります。

サーマルビア

サーマルランドの下に 1.0mm ~ 1.2mm ピッチでサーマルビアを格子状に配置し、内部の銅パターンに接続する必要があります。ビアの直径は約 0.3mm ~ 0.33mm で、ビア内部には約 1.0 オンスの銅メッキを施します。ピッチを狭めてビアを追加すると放熱性が向上しますが、数を増やすほど、ビア 1 つあたりの効果は減少します。サーマルランドのサイズに対し実用的な範囲で多くのビアを、基板の設計ルールの許容範囲内で使用してください。

メタルマスク (ステンシル) パターンの設計

パッケージ周囲の I/O ランドのリフロー後のハンダ接続のスタンドオフ高さは、50 μ m から 75 μ m (2mil から 3mil) の範囲でなければなりません。最適かつ高信頼なハンダ接続を得るには、クリーム・ハンダ・メタルマスクの設計が第一歩になります。メタルマスクのアパーチャ・サイズとランド・サイズの比率は基本的に 1:1 にしてください。アパーチャの幅は、隣接 I/O ランド間のハンダ・ブリッジを防ぐために、わずかに狭めてもかまいません。大きなサーマルパッド上に塗布されるクリーム・ハンダ量を抑えるために、単一の広いアパーチャを使用する代わりに、複数の小さなアパーチャ配列を使用してください。メタルマスクの印刷エリアが PCB のランドパターンの 50% から 80% をカバーするとよいでしょう。ハンダ・メタルマスク・パターンの設計例を 15 ページの「パッケージ寸法図」セクションの「L15.15x15」に示します。パッドとパッドの間隔は 0.6mm です。メタルマスク・パターンのパッドの設計ではパターン全体が対称になるように工夫してください。ステンレス製のメタルマスクは、レーザーカットを行ったのち、電気研磨によって台形断面に形成する加工方法を推奨します。電気研磨を行うことでアパーチャの端面が滑らかになるため、表面抵抗が減ってクリーム・ハンダ離れが良くなり、ボイドの低減が図れます。また、台形断面アパーチャ (TSA) はクリーム・ハンダ離れにも効果があり、部品のプレースメントに適した「レンガ状」のクリーム・ハンダ形状が得られます。この QFN パッケージはピンピッチが広い (1.3mm) ため、0.1mm から 0.15mm の厚みのメタルマスクを使用してください。

リフローパラメータ

QFN は実装高さが低いため、ANSI/J-STD-005 記載の「No Clean」なタイプ 3 のクリーム・ハンダを推奨します。リフロー中には窒素パーズも推奨します。システムボードのリフロープロファイルは部品を搭載した基板全体の熱質量に依存するため、QFN 単体でハンダ・プロファイルを規定することは現実的ではありません。図 26 はプロファイルのガイドラインとして記載しているものであり、実際の製造条件やアプリケーションに応じて変更してください。

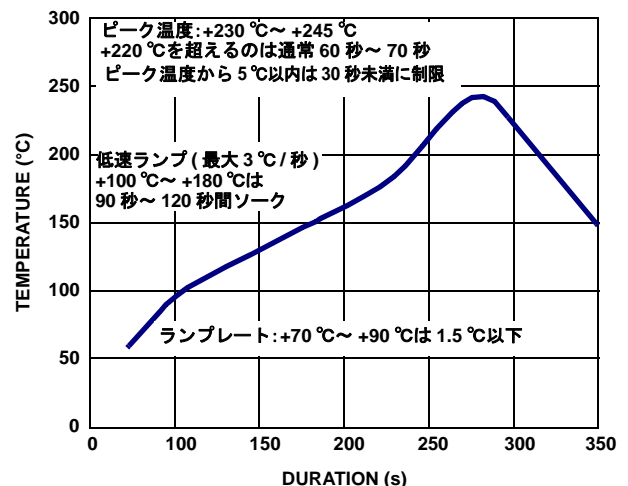


図 26. リフロープロファイル例

インターシルは、www.intersil.com/design/quality/ に記載の品質保証のとおり、ISO9000 品質システムに基づいて、製品の製造、組み立て、試験を行っています。

インターシルは、製品を販売するにあたって、製品情報のみを提供します。インターシルは、いかなる時点においても、予告なしに、回路設計、ソフトウェア、仕様を変更する権利を有します。製品を購入されるお客様は、必ず、データシートが最新であることをご確認ください。インターシルは正確かつ信頼に足る情報を提供できるよう努めていますが、その使用に関して、インターシルおよび関連子会社は責を負いません。また、その使用に関して、第三者が所有する特許または他の知的所有権の非侵害を保証するものではありません。インターシルおよび関連子会社が所有する特許の使用権を暗黙的または他の方法によって与えるものではありません。

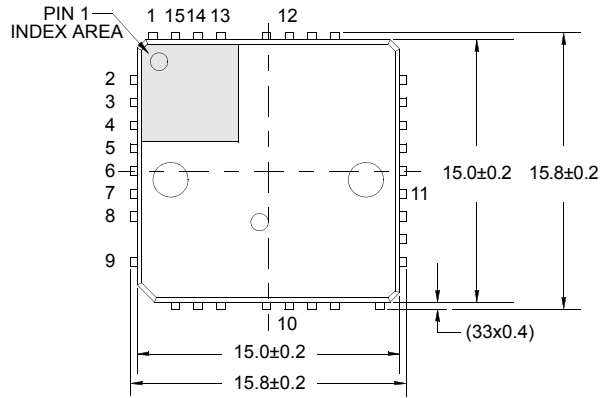
インターシルの会社概要については www.intersil.com をご覧ください。

パッケージ寸法図

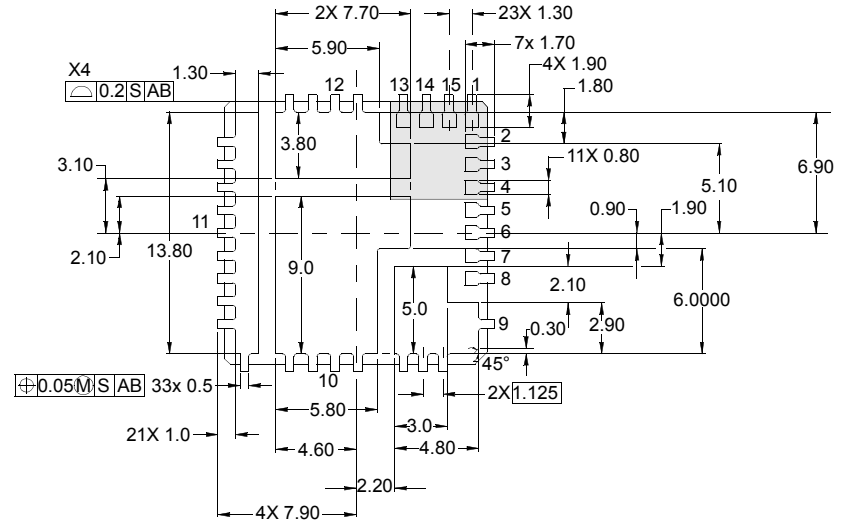
L15.15x15

15 LEAD QUAD FLAT NO-LEAD PLASTIC PACKAGE (PUNCH QFN)

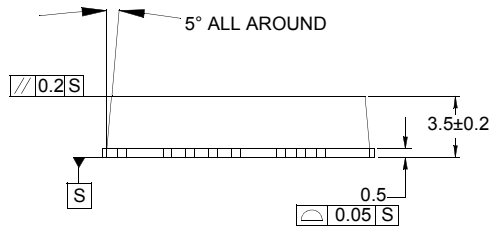
Rev 3, 8/10



上面図



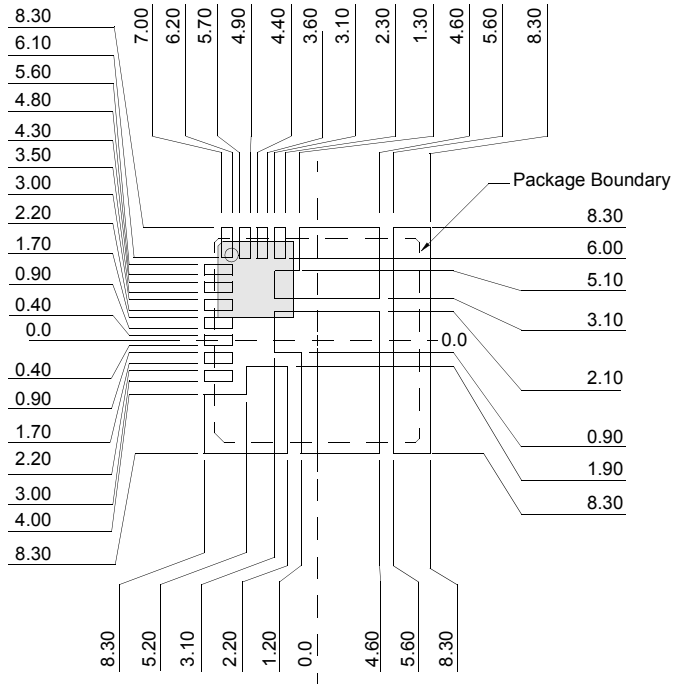
底面図



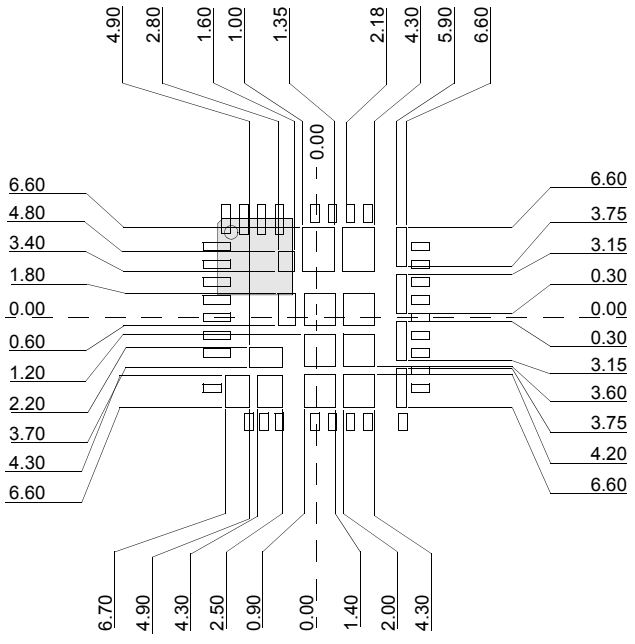
側面図

NOTE:

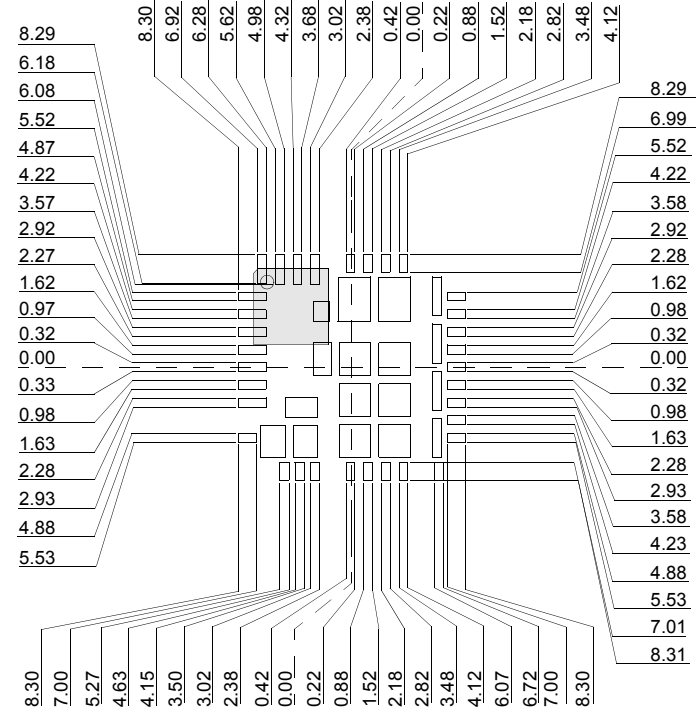
1. 寸法の単位は mm です。
2. 特記のない限り、公差は DECIMAL ±0.05 です。
本体公差は ±0.1mm です。
3. 1 ピンの識別子はオプションですが、表示されているゾーン内に配置されます。1 ピンの識別子はモールドまたはマーキングで示されます。



推奨ラウンドパターンの例



矩形パッド採用のメタルマスク・パターン-1



矩形パッド採用のメタルマスク・パターン-2